

Estudi i disseny de diverses alternatives per a fer més estable una memòria SRAM

Pau Riera Benito, Bartomeu Alorda Ladaria

PFC d'Enginyeria Tècnica Industrial, Especialitat en Electrònica Industrial

paurierabenito@gmail.com

Resum— Les memòries SRAM actualment estan en constant creixement tant a nivell d'utilització com d'investigació i es possible trobar memòries SRAM en un gran nombre d'aparells electrònics.

Malauradament, la miniaturització de la tecnologia CMOS presenta greus problemes per a les memòries SRAM, en aquest tipus de memòries el procés d'escalat o miniaturització té un impacte gran sobre l'estabilitat de les dades emmagatzemades a la cel·la SRAM. Per aquesta raó el grup de Sistemes Electrònics de la UIB va proposar estudiar el comportament de tres memòries SRAM amb diferents configuracions de cel·la cada una. En aquest document s'explica el procediments que s'han dut a terme per al disseny de les tres configuracions de memòria SRAM i els resultats obtinguts de la simulació d'aquets dissenys.

I. INTRODUCCIÓ

A causa del gran desenvolupament dels processadors, quan aquets començaren a tenir velocitats de rellotge cada vegada majors, i funcionaven més i més ràpids, els temps d'accés a la memòria Ram Dinàmica (DRAM) no era suficient per a seguir el ritme al processador i obtenir el màxim rendiment.

Una de les solucions a aquest problema seria la memòria SRAM (Static Random Access Memory), és un tipus de memòria basada en semiconductors que és capaç de mantenir les dades sense necessitat d'un circuit de refresc. De totes maneres, es tracta d'una memòria volàtil, és a dir, perd tota la informació quan s'interromp l'alimentació elèctrica. És una memòria d'accés aleatori, que significa que les posicions a la memòria poden ser escrites o llegides en qualsevol ordre, independentment de quina fos la darrera posició accedida de la memòria.

La memòria SRAM és més cara, però més ràpida i amb un menor consum que la memòria DRAM. Per tant, es utilitzada quan es necessita disposar d'un menor temps d'accés, un consum reduït o una de les dues coses alhora. Les memòries SRAM són molt utilitzades i tenen molt d'usos en l'actualitat com: telèfons mòbils, càmeres fotogràfiques, electrònica de l'automòbil, ordenadors personals, etc...

Una de les problemàtiques que presenten les memòries SRAM és l'impacte que produeix la miniaturització de les memòries sobre l'estabilitat d'aquesta. Els principals problemes es centren en la fluctuació aleatòria del procés de fabricació i la manca de repetibilitat del voltatge llindar. Ambdós problemes es preveu que redueixin l'estabilitat de les cel·les amb un factor 4 entre les tecnologies de 250nm i 50nm. Una de les metodologies tradicionals de millorar l'estabilitat de la cel·la SRAM es basa en la variació de les dimensions dels transistors que formen la cel·la. Avui en dia s'estudien

altres alternatives com la modificació de l'estructura de la cel·la SRAM proposant cel·les de 8 o més transistors.

L'objectiu d'aquest PFC ha estat, dissenyar, estudiar i comparar la velocitat de lectura/escriptura, el consum, l'àrea de la memòria i el paràmetre d'estabilitat (Static Noise Margin, SNM) de tres configuracions de memòries SRAM proposades en el grup de Sistemes Electrònics de la Universitat de les Illes Balears amb el software "Cadence" i usant una tecnologia comercial de 65nm CMOS:

-Memòria SRAM amb cel·les de 8 transistors:

Amb les cel·les de 8 transistors (8T) el que es vol obtenir és una separació de la lectura i l'escriptura mitjançant una nova configuració de la cel·la respecte de la típica 6T, d'aquesta manera s'espera millorar la problemàtica de les cel·les 6T durant les operacions de lectura i per tant millorar l'estabilitat de la memòria.

-Memòria SRAM amb cel·les de 8 transistors i un selector de voltatge.

D'aquesta memòria a l'anterior, tan sols varia la utilització de dos voltatges per la línia de selecció de fila diferents durant les operacions de lectura i d'escriptura. D'aquesta manera aconseguim reforçar el procés de lectura i seguir enfortint la memòria SRAM per tant, aquest tipus de memòria es podria considerar una evolució de la memòria amb cel·les 8T, encara que el selector de voltatge seria aplicable a una memòria SRAM 6T.

-Memòria SRAM amb cel·les de 11 transistors.

La memòria SRAM amb cel·les 11T proposa la modificació de l'estructura de la cel·la 8T de la memòria SRAM, però enlloc de variar un voltatge, es modifica l'arquitectura de la cel·la per a obtenir un consum de la memòria mínim, a més d'impedir que qualsevol cel·la menys la seleccionada operi i per tant pugui donar lloc a errors d'estabilitat.

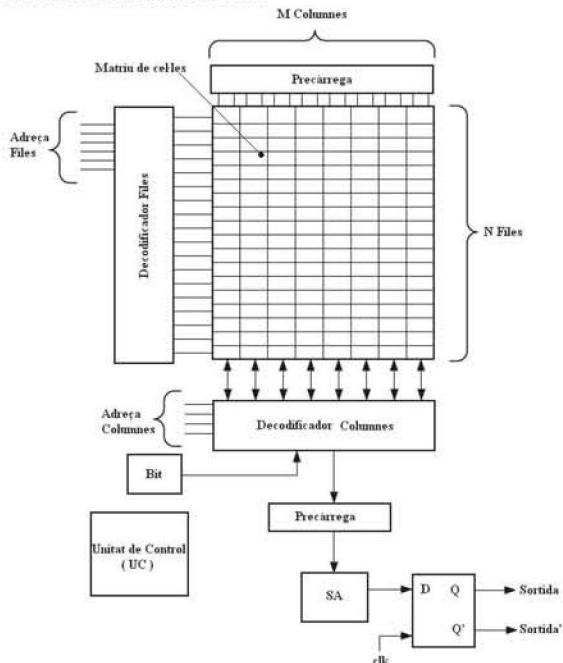
II. INTRODUCCIÓ A LES MEMÒRIES SRAM

A mode de resum, les memòries SRAM són memòries basades en materials semiconductors, a més aquest tipus de memòries a diferència de les memòries DRAM no necessiten un circuit de refresc. La SRAM es tracta d'una memòria volàtil, és a dir, perd tota la informació emmagatzemada quan es desconnecta de l'alimentació. De la mateixa manera, les memòries SRAM són memòries d'accés aleatori, es possible accedir a qualsevol posició sense necessitat de seguir un ordre preestablert.

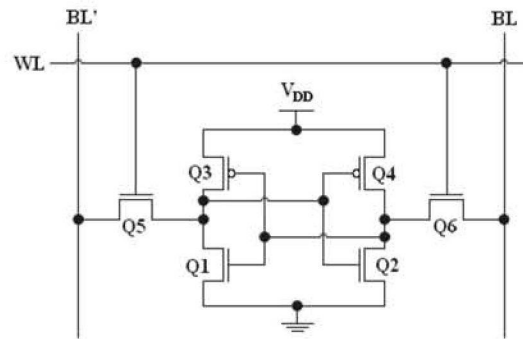
Finalment, cal dir que les memòries SRAM són més ràpides i amb un menor consum que les memòries DRAM, en canvi tenen un major cost en termes de fabricació que les DRAM.

Més concretament, l'arquitectura d'una memòria SRAM és la que es presenta a la figura 1, on es pot observar que la memòria està formada per la matriu de $n \times m$ cel·les (element principal), per a direccionar aquesta matriu s'utilitzen dos descodificadors, un de files i un de columnes com es pot apreciar. També es pot veure com a la part superior i inferior de la figura hi ha els blocs de precàrrega, aquets blocs s'encarreguen de carregar a '1' les línies per les quals circularà la informació emmagatzemada a la memòria. Es fan necessaris dos blocs de precàrrega ja que les línies inferiors de la memòria estan separades de les línies superiors mitjançant el descodificador de columnes.

Tot seguit trobam el bloc Bit, aquest és l'encarregat d'introduir el valor del bit a escriure a la memòria. El bloc Sense Amplifier(SA) s'encarrega d'amplificar la diferència de tensions per a la posterior lectura del valor dels bits de la memòria a llegit mitjançant el latch D. La unitat de control es l'encarregada de generar les senyals pertinents per al correcte funcionament de la memòria.

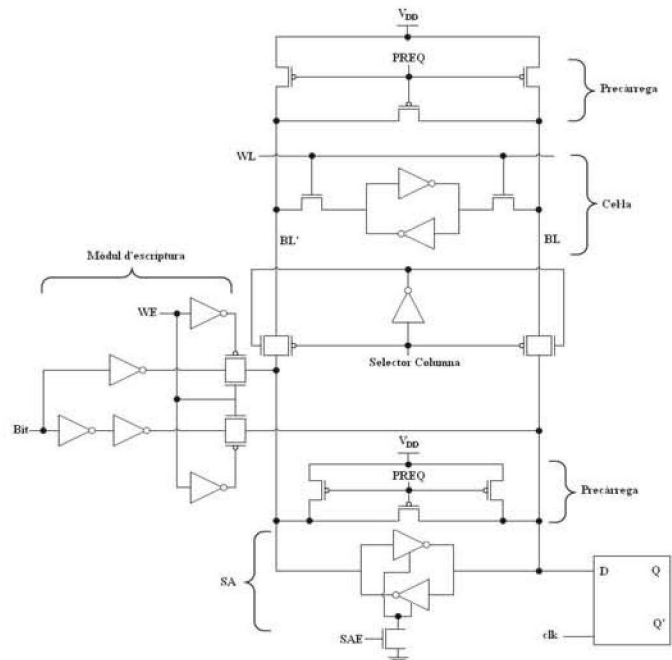


Coneixent l'arquitectura de la memòria es procedirà a explicar l'arquitectura de les cel·les que formen la matriu de cel·les de la memòria SRAM. En aquest cas s'explicarà l'arquitectura de les cel·les de 6 transistors(Figura 2).



La cel·la està formada per els transistors Q1-Q2-Q3-Q4, que formen els 2 transistors realimentats que s'encarreguen d'emmagatzemar el valor del bit i dos transistors(Q5 i Q6) activats per la senyal WL(senyal de sortida del descodificador de files) que s'encarreguen de permetre l'accés a la cel·la per a la seva escriptura o lectura. Les línies BL i BL'(Bit lines) s'encarreguen de transportar el valor dels bits a escriure/llegir per a cada columna de la memòria SRAM.

Finalment, el disseny intern d'una columna de la memòria mostrada a la figura 1, es pot observar a la figura 3, on s'observen els blocs de precàrrega, la cel·la, el bloc bit i el sense amplificador.



III. PROBLEMES D'ESTABILITAT A LES MEMÒRIES SRAM

L'estabilitat durant una operació de lectura de la memòria SRAM es defineix amb el paràmetre SNM.

Aquest paràmetre es mesura com el valor del costat del quadrat que es pot formar a una de les ales de l'anomenada papallona o butterfly que generen els dos inversors realimentats, i es defineix com el mínim voltatge necessari per a que els inversors canviïn d'estat.

A la figura 4 es pot veure com l'SNM de les senyals generades pels inversors realimentats mentrestant que la cel·la es troba aïllada es veu reduït respecte l'SNM durant una operació de lectura. Aquesta reducció de l'SNM provocaria que els inversors canviïn d'estat bruscament a causa del renou o d'una petita variació de tensió.

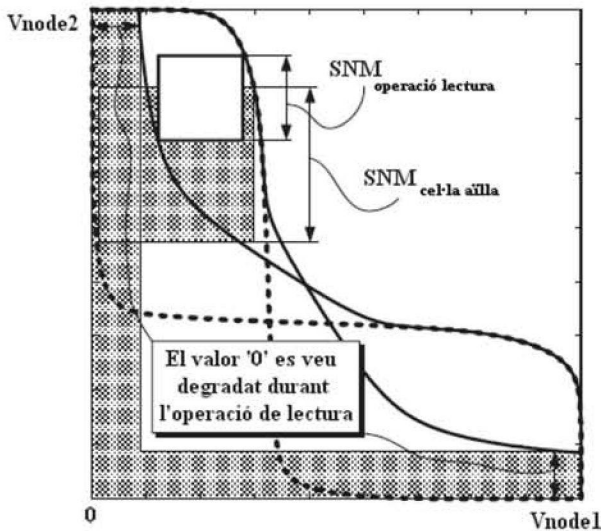


Fig.4 Corbes de tensió dels inversors realimentats

El que succeeix a la cel·la durant una operació lectura és el següent (figura 5), les dues Bit Lines es troben precarregades a '1' quan sobren els transistors d'accés a cel·la. És en aquest moment quan un dels transistors d'accés es talla degut a que el node intern de la cel·la també hi ha un '1', mentre els transistors Q5 i Q1 estan escrivint un '0' a la Bit line negada.

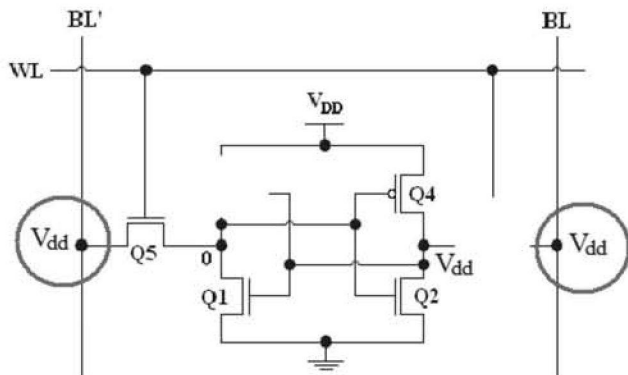


Fig.5 Comportament de la cel·la 6T durant una operació de lectura

Aquesta mateixa situació també es dona lloc durant una operació de lectura a les cel·les on no s'hi està escrivint, ja que com es pot veure a la figura 6 la WL provinent del descodificador de files activa tots els transistors d'accés a la cel·la de tota la fila, en canvi el procés d'escriptura tan sols succeeix en una cel·la. D'aquesta manera a les altres cel·les de la fila s'obren els transistors d'accés havent-hi les dues bit lines precarregades a '1' com es mostra a la figura 5.

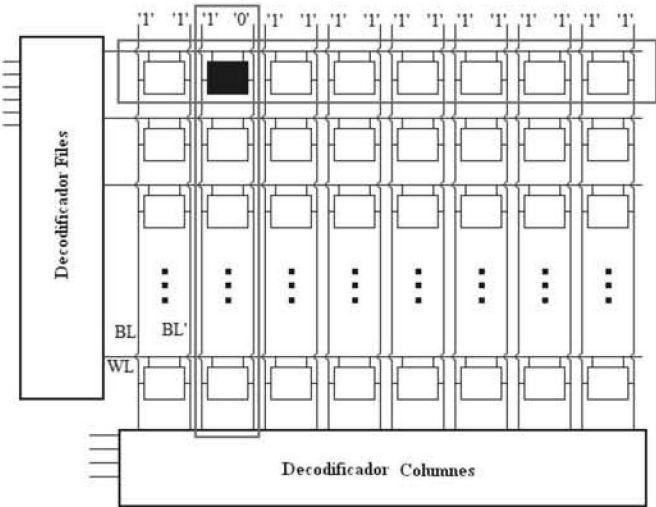


Fig.6 Comportament de la matriu de cel·les durant una operació d'escriptura

IV. MEMÒRIA SRAM 8T

La memòria SRAM 8T separa el procés de lectura del d'escriptura per tal de reduir el problema d'estabilitat durant aquesta operació (explicat al punt anterior) i per tant fer una cel·la més robusta.

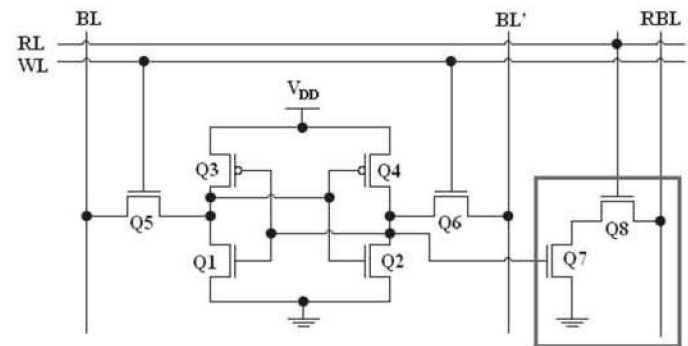


Fig.7 Arquitectura d'una cel·la SRAM 8T

Com es pot apreciar a la figura 7, la configuració de la cel·la per al procés d'escriptura mantén la mateixa configuració que la cel·la 6T en canvi el circuit per a la lectura es compon per els transistors Q7 i Q8. Aquest buffer de lectura està connectat a la bit line negada, per tant allhora actua de negador, és a dir, si el bit a llegir és un 1 i a la bit line

negada hi ha un 0, el transistor Q7 es talla i la RBL es mantén a 1, en el cas contrari en que es vol llegir un 0, com que a la bit line negada hi tenim un 1 s'obre el transistor Q7 i es carrega un 0 a la RBL. A la nova cel·la 8T es pot apreciar una separació a l'hora d'activar els transistors per a una lectura i per a una escriptura, els transistors Q5 i Q6 s'activen durant una lectura mitjançant la senyal WL, en canvi el transistor Q8 s'activa durant una lectura mitjançant la senyal RL. Aquestes dues senyals provenen de la sortida del descodificador de files separades tant per a l'escriptura com per a la lectura.

La configuració de la memòria SRAM amb les cel·les 8T es pot veure a la figura 8, on es pot apreciar com tan sols hi ha dos canvis rellevants respecte la configuració amb cel·les 6T. Un dels canvis és la introducció dels blocs de selecció d'operació entre els descodificadors i la matriu de cel·les, per tal de separar les operacions de lectura i escriptura. En segon lloc s'ha pogut eliminar el bloc sense amplificador(S.A) ja que ara tan sols el procés de lectura es realitza per una sola línia(RBL).

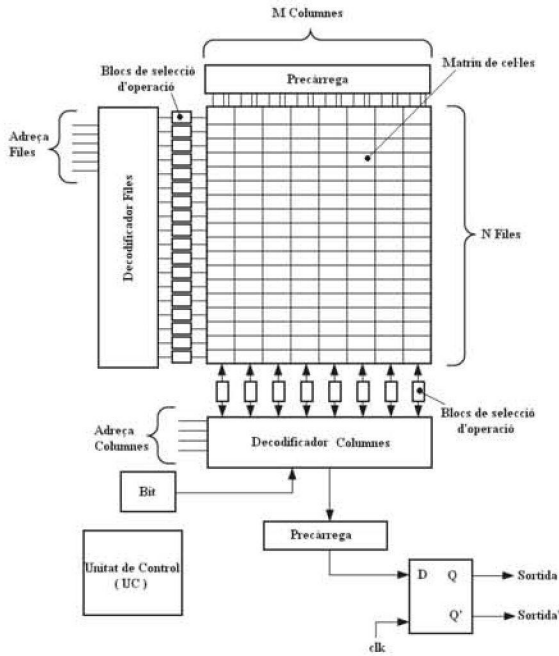


Fig.8 Disseny i arquitectura de la memòria SRAM 8T.

L'arquitectura interna d'una columna de la memòria SRAM 8T(figura 9) també conserva l'estructura de la SRAM 6T introduint-li els pertinents canvis que implica la nova estructura de la cel·la, com és el cas de les diferents senyals per a separar les operacions de lectura i escriptura(WL, RL i Selector Columna Escripura, Selector Columna Lectura).

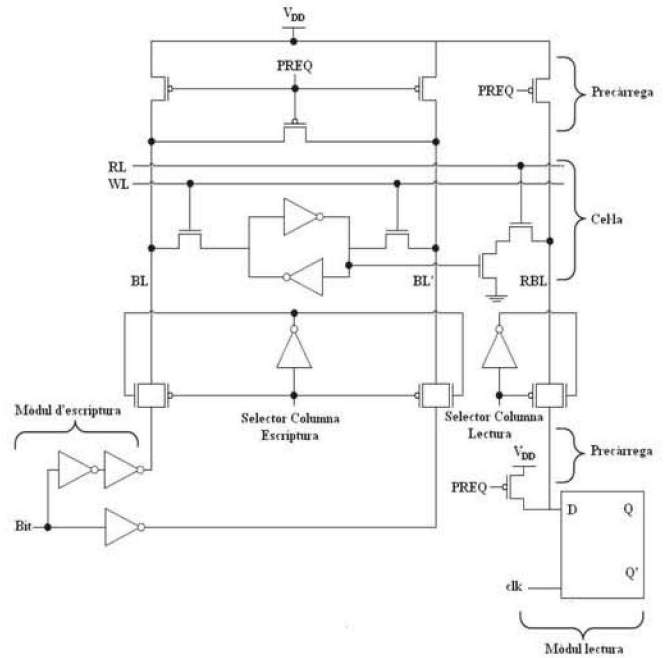


Fig.9 Disseny i arquitectura interna d'una columna de la memòria SRAM 8T.

V. MEMÒRIA SRAM 8T AMB SELECTOR DE VOLTATGE

La gràfica de la figura 10 forma part d'un estudi realitzat per el Grup de Sistemes Electrònics de la Universitat de les Illes Balears, en el qual es comprova com reduint el valor del voltatge de la word-line s'aconsegueix augmentar el valor del SNM, com es pot veure a la gràfica. On els valors de SNM màxim i mínim són els valors mentres que la cel·la es troba aïlla i durant una operació de lectura, respectivament.

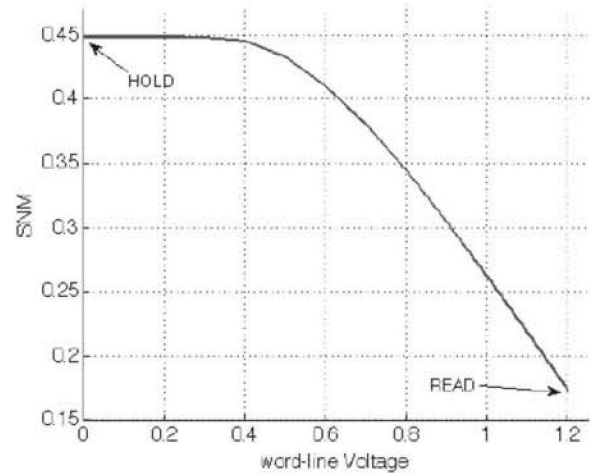


Fig.10 Disseny i arquitectura de la memòria SRAM 8T.

En aquest cas el que s'estudiarà és el comportament de la memòria i el valor del SNM introduint a la configuració de cel·la 8T un selector de voltatge de la word-line de tal manera que aquesta línia, durant les operacions de lectura tingui un voltatge de 1V i durant la resta d'operacions tingui un voltatge 1.2V.

L'estructura del mòdul encarregat de la selecció del voltatge(figura 11) segons el tipus d'operació a realitzar per la memòria es compon per dos transistors PMOS(ja que aquest tipus de transistors passen millor els valors de tensió alts) que s'activen mitjançant la senyal RW, aquesta senyal està a 0 quan s'està executant una operació de lectura i a 1 durant la resta d'operacions, per aquesta raó s'ha introduït un inversor entre la senyal i el transistor encarregat de la selecció d'1V.

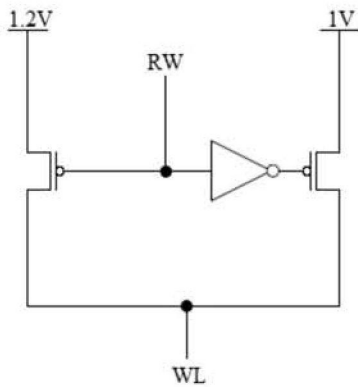


Fig.11 Disseny i arquitectura de la memòria SRAM 8T.

VI. MEMÒRIA SRAM 11T

La memòria SRAM amb cel·les 11T(Figura 12) proposa la modificació de l'estructura de la cel·la 8T de la memòria SRAM, però enlloc de variar un voltatge, es modifica l'arquitectura de la cel·la per a obtenir un consum de la memòria mínim, a més d'impedir que qualsevol cel·la menys la seleccionada operi i per tant pugui donar lloc a errors d'estabilitat.

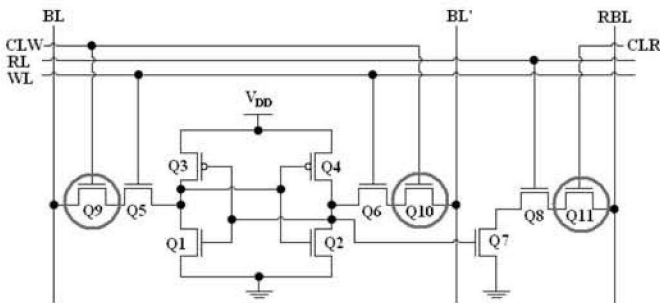


Fig.12 Arquitectura d'una cel·la SRAM 11T.

Amb la senyal CL podem escollir la cel·la exacta a la que volem accedir sense necessitat d'obrir l'accés a totes les

cel·les d'una mateixa fila com passa en els casos de les cel·les 6T i 8T. Com es pot apreciar a l'arquitectura de la cel·la (Figura 12) aquesta senyal CL també es separa en senyal de lectura (CLR) i senyal d'escriptura (CLW)

Com es pot apreciar a la figura 13, l'arquitectura d'una columna de la memòria no es gaire modificada amb la nova arquitectura de la cel·la, l'únic canvi són les senyals CLW i CLR encarregades de seleccionar la cel·la concreta per a escriptura o lectura mitjançant les senyals Selector Columna Escripció i Lectura. També es pot apreciar com ha estat necessari incloure una etapa d'inversors a les dues senyals CL per tal d'obtenir un bon funcionament de la cel·la.

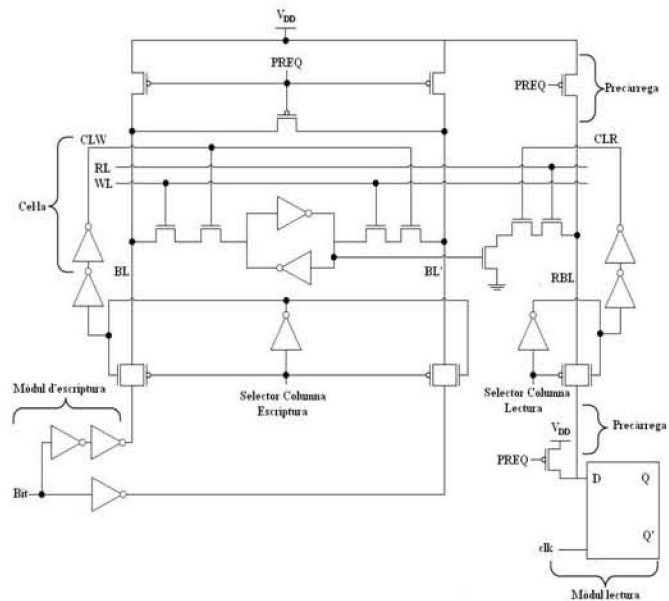


Fig.13 Disseny i arquitectura interna d'una columna de la memòria SRAM 11T.

VII. SIMULACIONS DE FUNCIONAMENT

Les següents simulacions s'han realitzat amb la memòria SRAM 8T, es tracta de l'escriptura (figura 14) i lectura (figura 15) d'un '1'.

A la figura 14, es poden apreciar (de dalt a baix) les senyals: En/EnFil/PreQ corresponents a l'eneable general de memòria, l'eneable de la fila seleccionada i la senyal de precàrrega. RW es l'encarregada de seleccionar si es tracta d'una operació de lectura o escriptura, en aquest cas, com que la senyal està a '1' sabem que es tracta d'una operació d'escriptura. OutDesccol/Outdecfil/EnWrite, les dues primeres són les senyals de sortida dels descodificadors per a seleccionar la cel·la indicada, i EnWrite és la senyal (WL anomenada així a les figures d'arquitectura de les cel·les) es la senyal la qual la seva activació provoca l'obertura dels transistors Q5 i Q6 d'accés a la cel·la.

La senyal BL és el valor que s'escriurà a la cel·la, i BL' aquest valor negat.
 El senyal MemBL es el valor que contindrà l'interior de la cel·la SRAM, en aquest cas, s'aprecia com MemBL augmenta a '1' i el seu valor negat (MemBL') baixa a '0'.

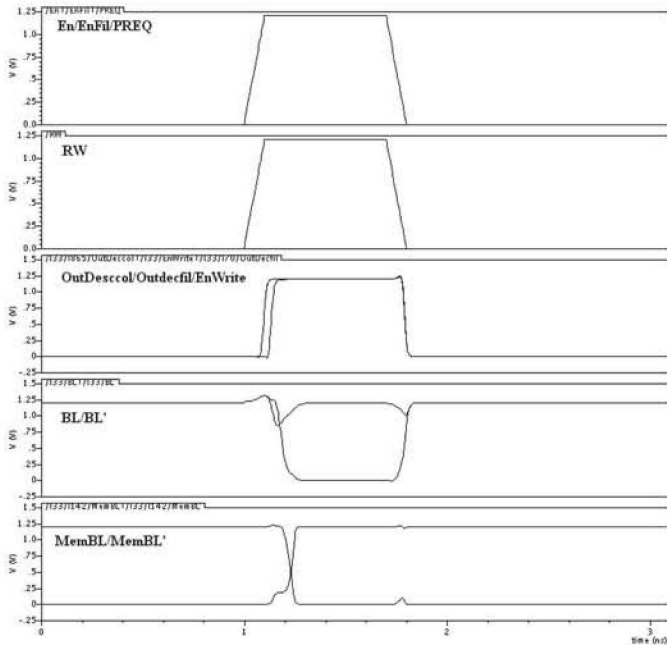


Fig.14 Simulació d'una operació d'escriptura a una cel·la SRAM 8T.

Per a la simulació de lectura (figura 15) observem les noves senyals que intervenen en aquesta operació: EnRead, s'encarrega d'obrir el transistor Q8 encarregat de l'accés al valor de la cel·la. RBL, es el valor emmagatzemat a l'interior de la cel·la (en aquest cas un '1'). Finalment la senyal OUT, és la sortida de la memòria on es pot apreciar el valor llegit ('1') i aquest valor negat (OUT')

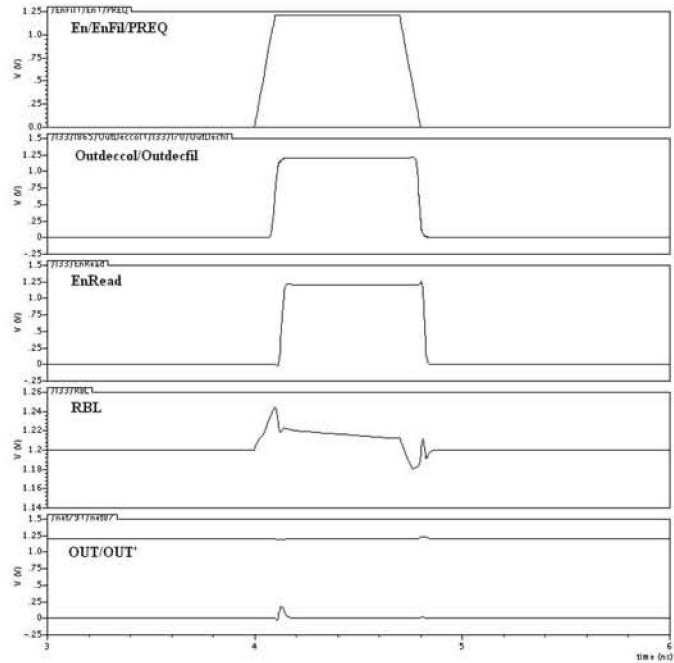


Fig.15 Simulació d'una operació de lectura a una cel·la SRAM 8T.

VIII. RESULTATS OBTINGUTS I CONCLUSIONS

- Àrea:

8T	8TSV	11T
57.1392(um) ²	57.1392(um) ²	140.0832(um) ²

- Velocitat d'escriptura:

OP	8T(ps)		8TSV(ps)		11T(ps)	
	Esc'1'	Esc'0'	Esc'1'	Esc'0'	Esc'1'	Esc'0'
1 ^a F-8 ^a C	186	163	220	194	387	383
32 ^a F-4 ^a C	186	163	219	192	387	383
64 ^a F-2 ^a C	185	163	218	192	387	384

- Velocitat de lectura:

OP	8T(ps)	8TSV(ps)	11T(ps)
	Lec'0'	Lec'0'	Lec'0'
1 ^a F-8 ^a C	407	424	651
32 ^a F-4 ^a C	393	422	653
64 ^a F-2 ^a C	408	423	653



- Consum escriptura:

OP	8T(mW)		8TSV(mW)		11T(mW)	
	Esc'1'	Esc'0'	Esc'1'	Esc'0'	Esc'1'	Esc'0'
1 ^a F-8 ^a C	0.89	0.82	0.86	0.81	0.5	0.6
32 ^a F-4 ^a C	0.77	0.7	0.77	0.79	0.55	0.5
64 ^a F-2 ^a C	0.77	0.8	0.78	0.81	0.6	0.55

- Consum lectura:

OP	8T(mW)	8TSV(mW)	11T(mW)
	Lec'0'	Lec'0'	Lec'0'
1 ^a F-8 ^a C	0.23	0.23	0.3
32 ^a F-4 ^a C	0.23	0.24	0.3
64 ^a F-2 ^a C	0.23	0.23	0.3

- SNM:

SNM (cel·la aïllada) = 398mV

SNM (Escriptura incompleta)		
8T	8TSV	11T
175mV	249mV	398mV

Amb els resultats obtinguts es pot observar com la memòria SRAM 8T es la més ràpida a les operacions de lectura i escriptura de la cel·la, on l'arquitectura 8TSV obté uns resultats de velocitats molt similars i la 11T es la més lenta en aquest apartat.

A nivell de consum, s'observa com la memòria 11T és la que té un menor consum Durant l'escriptura però en canvi obté el major consum Durant la lectura.

El valor de l'SNM obté el seu màxim valor durant les operacions realitzades amb la cel·la 11T, i obté el seu valor mínim amb les operacions realitzades amb la 8T, es pot apreciar com el selector de voltatge de la 8T millora aquest valor fins als 249mV.

Finalment cal observar com l'àrea de la cel·la 11T és un poc més del doble de gran que l'àrea de les cel·les 8T i 8TSV que tenen la mateixa àrea.

Per tant, amb aquests resultats, es podria dir que la millor arquitectura és la 8TSV ja que millora el valor del SNM mantenint la velocitat de lectura i escriptura i l'àrea de la cel·la 8T original.

AGRAÏMENTS

Al tutor del meu projecte per haver-me ajudat en tots els dubtes i problemes que me anat trobant durant la realització d'aquest projecte, i als meus pares, amics i família, per tot el suport que m'han sabut donar.

REFERÈNCIES

[1] ITRS 2007 (International Technology Roadmap for Semiconductors).

[2] Andrei Pavlov and Manoj Sachdev. "CMOS SRAM Circuit Design and Parametric Test in Nano-Scaled Technologies". 2008 Springer Science + Business Media B.V.

[3] Andrei Pavlov and Manoj Sachdev. "CMOS SRAM Circuit Design and Parametric Test in Nano-Scaled Technologies". 2008 Springer Science Business Media B.V.

[4] Andrei Pavlov and Manoj Sachdev. "CMOS SRAM Circuit Design and Parametric Test in Nano-Scaled Technologies". 2008 Springer Science Business Media B.V.

[5] B. Alorda, G. Torrens, S. Bota and J. Segura. "Static-Noise Margin Analysis during Read Operation of 6T SRAM Cells". Univ. de les Illes Balears, Dept. Fisica, Cra. Valldemossa, km. 7.5, 07071 Palma de Mallorca, Spain. 2009.

[6] Andrei Pavlov and Manoj Sachdev. "CMOS SRAM Circuit Design and Parametric Test in Nano-Scaled Technologies". 2008 Springer Science Business Media B.V.

[7] Evert Seevinck, Frans J.List and Jan Lohstroh. "Static-Noise Margin Analysis of MOS SRAM Cells". IEEE Journal of solid-state cricuits, Vol. SC-22, NO. 5, October 1987.

[8] B. Alorda, G. Torrens, S. Bota and J. Segura. "Static-Noise Margin Analysis during Read Operation of 6T SRAM Cells". Univ. de les Illes Balears, Dept. Fisica, Cra. Valldemossa, km. 7.5, 07071 Palma de Mallorca, Spain. 2009.