

Disseny i Optimització d'un Buffer en Tecnologia CMOS

Juan Carlos Coll Sampol, Emilio Moreno Azcoytia

Tercer curs d'Enginyeria Tècnica de Telecomunicacions, Especialitat en Telemàtica
 jc.coll.sampol@gmail.com
 m_azcoytia@mixmail.com

Resum— L'objectiu d'aquest treball és trobar el nombre d'etapes que optimitzen la velocitat d'un buffer CMOS. Per realitzar el disseny i simulació utilitzarem l'eina de CAD Microwind, la qual ens permet dissenyar el layout del nostre circuit.

A la Taula I es recullen les prestacions assolides per l'inversor de la figura 1, treballant amb una capacitat de sortida $C_L=15 \times 10^{-15}$ F.

I. INTRODUCCIÓ

Qualsevol circuit digital té com a part dels seus objectius introduir els mínims temps de retard, és a dir, aconseguir la major velocitat possible. Dins aquests circuits, un element bàsic i fonamental és el buffer [1], que per exemple, ens pot servir per adaptar diferències de capacitat d'entrada/sortida entre dos circuits digitals. El buffer es pot entendre com un nombre parell d'inversors en sèrie.

A una pràctica anterior, gràcies a l'eina Microwind [2] hem aconseguit dissenyar el layout [3] i posteriorment simular el funcionament d'un inversor en tecnologia CMOS de 0.35um (figura 1).

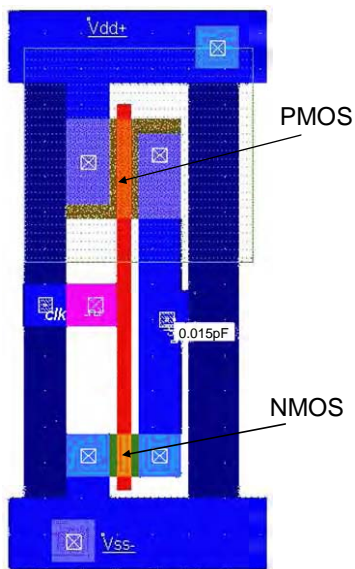


Fig.1 Layout d'un inversor lògic

TAULA I

PRESTACIONS INVERSOR AMB $C_L=0.015$ PF

Temps de pujada	0.1ns
Temps de baixada	0.1 ns
Temps de propagació de pujada	123 ps
Temps de propagació de baixada	125 ps
Freqüència de funcionament	2.5 GHz

A partir d'aquest primer inversor, dissenyarem el nostre buffer.

II. OBJECTIUS

El nostre objectiu fonamental en aquest treball és demostrar empíricament que obtindrem temps de propagació de pujada i baixada menors utilitzant diverses etapes que amb una única etapa inversora. Aquest objectiu l'assolirem mitjançant el disseny del layout i posterior simulació d'un buffer. Per fer-ne el disseny, ens basarem amb les següent fórmules d'optimització [4]:

$$N = \ln X / \ln U \quad (1)$$

$$X = C_L / C_{in} \quad (2)$$

On N és la quantitat d'etapes que cal incloure al marge de l'inversor inicial; C_L és la capacitat de càrrega que es pretén atacar amb el nostre inversor (o etapes inversores); C_{in} és la capacitat d'entrada de l'inversor i U és el factor d'engrandiment d'una etapa respecte l'altra. Aquest factor d'engrandiment és el nombre pel que cal multiplicar l'ample de canal, W, dels transistors d'una etapa respecte l'etapa següent. Es suposa que la longitud de canal L es manté al mateix valor.

Més endavant, donades certes hipòtesis de treball, utilitzarem les equacions (1) i (2) per calcular quins valors optimitzaran el temps de resposta del nostre buffer.

III. METODOLOGIA

El programa Microwind du incorporades les regles de disseny que cal seguir en funció de la tecnologia utilitzada, en el nostre cas una tecnologia CMOS de 0.35um. Apart d'aquestes regles de disseny, ens ajustarem a un format estàndard alhora de construir qualsevol cel·la lògica (figura 2), que permetrà una interconnexió ràpida de cel·les de manera independent al circuit lògic que es vulgui fabricar.

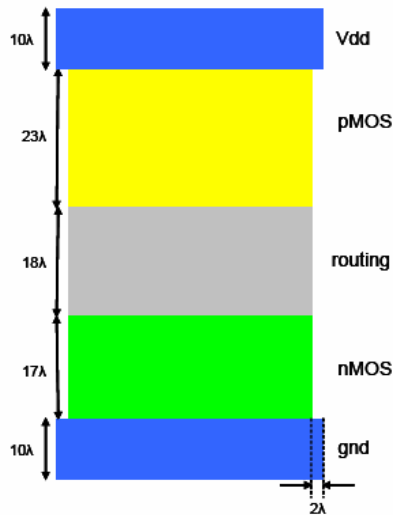


Fig. 2 Plantilla de layout per a un disseny d'una porta lògica compatible amb la metodologia de les *Standard Cells* definida en termes del paràmetre λ .

Es treballarà amb una tensió d'alimentació de 3.3 volts i L mínima (figura 3), en aquest cas en utilitzar una tecnologia de 0.35um aquesta hauria de ser la L . Cal dir que Microwind utilitza un paràmetre, λ per definir les regles de disseny de forma independent a la tecnologia. $L=2\lambda$.

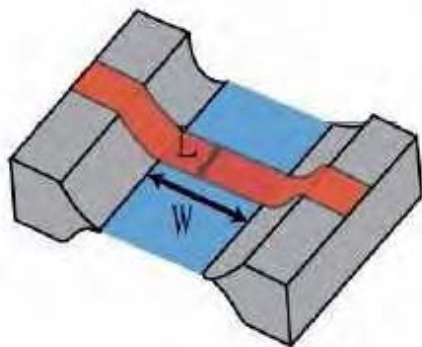


Fig. 3 Amplada (W) i Longitud (L) d'un transistor MOS

La feina que hem de realitzar està dividida en dues parts:

- i) A la primera se'ns demana que utilitzem un inversor optimitzat a la plantilla de la figura 2, per tal de dissenyar un buffer d' N etapes que

pugui atacar una capacitat de 10pF amb el menor temps de propagació possible. A la figura 1 i a la taula 1 podem veure com és i quines prestacions es varen aconseguir dissenyant l'inversor inicial de partida.

- ii) A la segona part se'ns diu que pel disseny del buffer hem d'utilitzar tres etapes inversores. En aquest cas el que hem d'optimitzar és el factor d'engrandiment d'una etapa respecte l'altre.

A. Càlculs pel cas òptim:

Utilitzant les fórmules (1) i (2) sent $C_L = 10\text{pF}$ la capacitat de càrrega de l'inversor donada a la hipòtesis de treball i $C_{in} = 7.97\text{fF}$ mesurada de l'inversor de la figura 1. Obtenim que $X = 1254,7$ i per tant que la N és igual a 7.13, ja que per aquest primer procés es diu que el factor d'engrandiment d'una etapa respecte a l'altre que optimitza el resultat U ha de ser igual al número e .

Per tant, el nombre d'etapes a incloure serà $N=7$ (arrodonim N a 7 per motius lògics, si posem un nombre senar d'etapes inversores no serà un buffer pròpiament dit, si no que serà un inversor de N etapes). Això significa que darrera el nostre primer inversor, haurem d'incloure set etapes més, cada una d'elles 2.7182 vegades més gran que l'anterior. A la figura 4 podem veure l'inversor inicial més les dues primeres etapes del layout del buffer, no hem cregut adient mostrar tot el buffer, ja que evidentment, es tracta de seguir aquest mateix esquema fins completar les set etapes. A la figura també es pot notar l'avantatge que suposa l'ús de la plantilla de la figura 2.

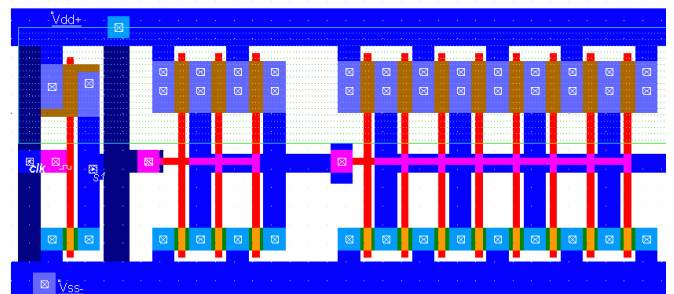


Fig. 4 Layout de les dues primeres etapes del buffer òptim

B. Càlculs per un nombre fixat d'etapes:

Tornant a utilitzar les equacions (1) i (2), en aquest cas dient que $N=3$, mantenint la mateixa capacitat de sortida de 10pF i deixant com a incògnita el factor d'engrandiment U . Obtenim que $U=11.02$, és a dir, al marge del nostre inversor inicial, comptarem amb tres etapes més, on cada una d'elles haurà de ser 11.02 vegades l'anterior. A la figura 5, es pot visualitzar l'inversor inicial més la primera etapa, que té una àrea activa 11.02 vegades la de l'inversor inicial.

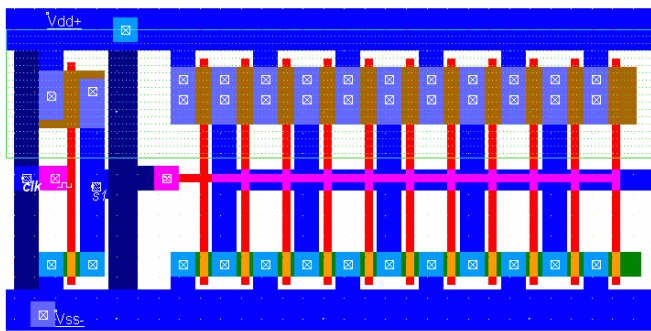


Fig. 5 Layout de la primera etapa del buffer de tres etapes.

IV. RESULTATS

En aquesta secció presentarem els diversos resultats obtinguts damunt cada una de les hipòtesis utilitzades en l'apartat III, hem d'aclarir que qualsevol comparació que es vulgui fer amb l'inversor de la figura 1, serà inútil, ja que els resultats de la Taula I corresponen a una capacitat de sortida de 0.015pF i els nostres buffers pretenen atacar capacitats de 10pF. L'inversor de la figura 1 senzillament no pot funcionar amb aquesta capacitat de càrrega.

A. Cas òptim:

A la taula 2 podem observar les diferents prestacions del nostre buffer amb set etapes.

TAULA 2

PRESTACIONS BUFFER SET ETAPES AMB FREQUÈNCIA DE TREBALL 0.25GHZ

Temps de propagació de pujada	640ps
Temps de propagació de baixada	630ps
Temps de pujada	60ps
Temps de baixada	70ps
Àrea total	56694 μm^2
Consum màxim	2.41W
Consum mig	82mW

B. Nombre fixat d'etapes:

A la Taula 3 podem veure les prestacions del buffer de tres etapes.

V. CONCLUSIONS

Basant-nos en les taules 2 i 3, podem observar com els temps de propagació tant de pujada com de baixada són significativament més petits en el cas del buffer de set etapes que en el de tres etapes. Per contra, el buffer de set etapes

ocupa més àrea i consumeix més potència tant com a valor promig com a valor de pic a una mateixa freqüència de treball. Cal remarcar que ambdós responen molt millor que el cas sense buffer, ja que aquest últim no pot funcionar amb la capacitat de càrrega que s'utilitza (10pF).

TAULA 3

PRESTACIONS BUFFER TRES ETAPES AMB FREQUÈNCIA DE TREBALL 0.25GHZ

Temps de propagació de pujada	910ps
Temps de propagació de baixada	864ps
Temps de pujada	110ps
Temps de baixada	140ps
Àrea total	46026 μm^2
Consum màxim	1.81W
Consum mig	73.9mW

Com a conclusió final, podem dir que si volem optimitzar els temps de resposta no limitarem el nombre d'etapes a utilitzar; en canvi, si el que es vol es minimitzar l'àrea i el consum, limitarem el nombre d'etapes a costa d'una pèrdua de velocitat. En aquest darrer cas, l'elecció concreta dependrà del dissenyador i del seus objectius.

REFERÈNCIES

- [1] A. Rubio, J. Altet, X. Aragonés, J.L. González, D. Mateo, F. Moll. "Diseño de circuitos y sistemas integrados", Edicions UPC, 2000
- [2] Microwind Website: <http://www.microwind.net/home.asp>
- [3] http://en.wikipedia.org/wiki/Integrated_circuit_layout
- [4] J.M. Rabaey, A. Chandrakasan, B. Nikolic. "Circuitos Integrados Digitales". Ed. Pearson/Prentice Hall, 2004.



Juan Carlos Coll Sampol nascut a Palma l'any 1988. Actualment realitzant el projecte final de carrera d'Enginyeria Tècnica en Telecomunicació, especialitat en Telemàtica.



Emilio Moreno Azcoytia, nascut a Madrid l'any 1980. Alumne d'Enginyeria Tècnica en Telecomunicació, especialitat en Telemàtica.

Sistemes Microelectrònics és una assignatura optativa d' Enginyeria Tècnica en Telecomunicació (Especialitat en Telemàtica). Professors: Sebastià Bota i Rodrigo Picos